

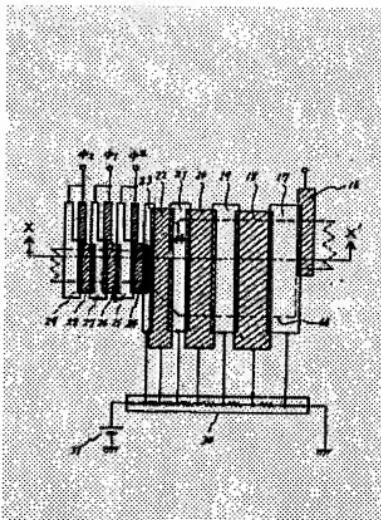
CHARGE COUPLING TYPE QUANTIZING CIRCUIT

Patent number: JP57105893
Publication date: 1982-07-01
Inventor: YAMADA TETSUO
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- **International:** H03M1/12; H03M1/12; (IPC1-7): G11C27/00;
H01L29/76
- **european:** H03M1/12
Application number: JP19800182147 19801224
Priority number(s): JP19800182147 19801224

[Report a data error here](#)

Abstract of JP57105893

PURPOSE: To achieve a charge coupling type quantizing circuit with high speed and performance to a large signal charge amount, by forming a channel potential so that a signal charge of a charge storage section always moves from a charge input section to a charge split section. **CONSTITUTION:** An input barrier electrode 16 corresponds to a charge injecting electrode as conventional device, and charge storage electrode groups 17-23 applied with different voltages and split electrodes 24, 25 making quantization are formed, a transfer pulse ph1 is applied to transfer electrodes 26, 27 and a transfer pulse ph2 is applied to transfer electrodes 28, 29 respectively. In this case, two-phase transfer electrodes are shown. A split resistor 30 splits a voltage of a power supply 31 and an ion injection layer of the opposite conduction type as the substrate formed in one chip is used as a resistive element. An analog signal charge injected to a storage region moves in a step potential and storage is made from a channel under a storage electrode 23 with the lowest potential.



Data supplied from the esp@cenet database - Worldwide

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭57-105893

⑫ Int. Cl.³
G 11 C 27/00
H 01 L 29/76

識別記号

府内整理番号
7343-5B
6851-5F

⑬ 公開 昭和57年(1982)7月1日
発明の数 1
審査請求 未請求

(全 7 頁)

⑭ 電荷結合形量子化回路

浦電気株式会社トランジスタ工場内

⑮ 特 願 昭55-182147
⑯ 出 願 昭55(1980)12月24日
⑰ 発明者 山田哲生

⑭ 出願人 東京芝浦電気株式会社
川崎市幸区堀川町72番地
⑮ 代理人 弁理士 則近憲佑 外1名

川崎市幸区小向東芝町1 東京芝

明細書

1. 発明の名称

電荷結合形量子化回路

2. 技術分野の範囲

1) 前記第1導電形半導体基板上に絶縁膜を介して配置された少なくとも1個の導電性電極と、前記第1導電形半導体基板上に絶縁膜を介して形成された電荷蓄積部と、この電荷蓄積部へ信号電荷を注入する電荷入力部と、前記注入された信号電荷を所定の単位電荷束に分割し時系列量子化信号電荷束列に変換する電荷分割部と、前記電荷蓄積部に注入された信号電荷が前記電荷入力部から前記電荷分割部へ向かって常時移動するようチャネル電位を形成するバイアス手段とを具備したことを特徴とする電荷結合形量子化回路。

2) 前記チャネル電位を階段状に形成したことを特徴とする前記特許請求の範囲第1項記載の電荷結合形量子化回路。

3) 前記チャネル電位を傾斜状に形成したことを特徴とする前記特許請求の範囲第1項または第2

項記載の電荷結合形量子化回路。

4) 前記バイアス手段が、前記第1導電形半導体基板に形成された被説明の第2導電形高抵抗不純物層より成る電圧分割遮断業子を用いることを特徴とする前記特許請求の範囲第1項乃至第3項いずれか記載の電荷結合形量子化回路。

5) 前記バイアス手段が、前記第1導電形半導体基板上に絶縁膜を介して配置してある被説明の高抵抗多結晶シリコンより成る電圧分割遮断業子を用いることを特徴とする前記特許請求の範囲第1項乃至第4項いずれか記載の電荷結合形量子化回路。

6) 前記電荷蓄積部を前記第1導電形半導体基板に第2導電形不純物領域を選択的に設けとの領域内に、第1導電形不純物領域を選択的に設け形成したことと特徴とする前記特許請求の範囲第1項乃至第5項いずれか記載の電荷結合形量子化回路。

7) 前記電荷蓄積部の階段状チャネル領域のチャネル幅を前記電荷分割部に向かって漸次減少したことを特徴とする前記特許請求の範囲第1項乃至

第6項いずれか記載の電荷結合形量子化回路。

引前記電荷蓄積部の複数状態チャネル領域の各階段のチャネル長を前記半導体分割面に向かって漸次或かくしたことを特徴とする前記特許請求の範囲
第1項乃至第7項いずれか記載の電荷結合形量子化回路。

3. 発明の詳細な説明

本発明は電荷転送回路に流し、特にアナログ信号量を、電荷転送原理に基づいて量子化する電荷転送形量子化回路に用いて好適な技術に関するものである。

従来アナログ信号量を量子化する回路としては、アナログ信号量を電荷量として取り扱い、その電荷量を所要の半位置に分割し、量子化を行うものがよく用いられている。これは、信号量として取り扱うことにより、電圧変換器の流入を防ぎ、S/N比(信号雑音比)の高い、しかも高速の処理回路が得られるためである。第1図(a)に従来の電荷転送形量子化回路の断面構造図を示す。(1)はP型半導体基板、(2)は埋込みチャネルを形成する遮断層

、(3)は不純物層、(4)は転送チャネルに並ぶ制御位を形成し、2相駆動を可能ならしめるためのドーナツ不純物層、(5)はMOS(Metal Oxide Semiconductor)形電荷蓄積部、(6)は電荷注入用遮断電極、(7)は電荷入力転送用電極で同電極下に形成されたポテンシャルを押し上げることにより電荷注入用遮断電極(7)の下に形成されている遮断ポテンシャルを越えて、電荷が蓄積電極下のポテンシャル井戸に入力される。(8)は電荷蓄積部井戸に蓄えられたアナログ信号量荷を、半位置に分割し、転送レジスタへ読み出すための分割電極、(9)は(7)から量子化された信号電荷を受け取り、組合に向って左側へ転送するための転送電極、(10)は転送源を各々示す。即ち、電荷入力刀面(7)の下のチャネルから蓄積電極(4)下のチャネルへ注入されたアナログ信号量荷は、非対称ポテンシャルを有する分割電極(7)に高電圧を印加することによりそのチャネルを溝なし、低電圧の切替により前記駆動対称ポテンシャルの差に応じた半位置電荷量に分割され読み出される。この様子は第1図(a)-(f)に示したポテンシャル分布

図で具体的に示されている。遮断(10)は分割電極下のチャネルポテンシャル分布を示し、(11)はアナログ信号電荷、(12)は分割された量子化信号電荷量を各々示す。第1図(b)は、印加バ尔斯のタイミング図であり、バ尔斯^(a)は分割電極(7)、バ尔斯^(b)は転送電極(7)左方に配置しており同一割合の2相駆動電圧に印加する逆位相の高圧バ尔斯を示す。

第1図の(b)～(f)は各々第1図(a)の1=t₁, t₂, t₃, t₄, t₅に対応する時間間に形成された各電極下のポテンシャル分布を示す図である。第1図(f)に従い信号の量子化動作を繰り返すことにより量子化された時系列信号が、歴次紙面左方向へ転送されることとなる。これらの量子化信号列は、必要に応じた追尾の又は、直線、両端の電荷一高圧実現回路を経て出力される。

以上説明したように、従来例においてアナログ信号の量子化が可能となるが、取り扱う信号量が大きくなるか又は、高速度が要求された場合次の

ような欠点を有する。即ち、大きな信号電荷量を量子化する場合、電荷蓄積部の電荷蓄積量はそれに応じて大きくしなければならない。具体的には蓄積電極(4)の面積を大きくして蓄積領域を拡大することになる。これに伴って量子化分割電極(7)に対して蓄積電極(4)の乗も遠方の試験窓の距離が増加する。従来例においては、蓄積電極(4)には一定の電圧が印加されているため、蓄積領域はほぼ一定のポテンシャルに保たれ、使って分割電極(7)下へ流れ込む信号電荷は、主に試験窓電極として運動する。即ち、前記分割電極(7)へ至る距離の約2乗に比例して移動時間が増加し、蓄積領域内の電荷量が小さくなると、効率的に移動速度は減少、高遅かつ高精度の量子化は不可能になってしまう。

本発明は上記点に鑑みなされたもので、第1導電部が半導体基板上に遮断膜を介して記載された少なくとも1個の導電性電極と、前記第1導電部半導体基板表面に選択的に形成された電荷蓄積部と、この電荷蓄積部へ信号電荷を注入する電荷入力部と、前記注入された信号電荷を所定の単位を荷束

に分割し時系列量子化信号電極部列に変換する電荷分割部と、前記電荷蓄積部に注入された信号電荷が前記電荷入力部から前記電荷分割部へ向かって常時移動するようチャネル電位を形成するバイアス手段とを具備したことによって、大きな信号電荷量に対しても、高速でしかも高性能な電荷結合形量子化回路を提供することを目的とするものである。

以下、図面を参照して不発明を、実施例に基づき詳細に説明する。

第2図に不発明の第1の実施例の平面構成図を示す。入力障壁電極(16)は從来例における電荷注入用電極(14)に相当し、並いて各々異った電圧が印加される電荷蓄積電極群(17)～(23)及び量子化を行う分割電極(24), (25)が形成されており、転送ペルスもが転送電極(26), (27), 転送ペルスもが転送電極(28), (29)に各々印加される。この場合2相転送電極を示す。(30)は電源(31)の電圧を分割するための分割抵抗で、この場合、同一回路内に形成された面積と反対導電形のイオン注入層を抵抗素子としてい

る。第3回(b)～(d)は第3回(a)の各構成に対応するチャネルボテンシャル分布図で、不発明の動作原理を説明するためのものである。第3回(b)はアナログ信号電荷が蓄積領域に入力された状態を示し、(32)は信号電荷を示し、(33)は信号電荷が存在しない時の蓄積状況に分布した蓄積領域のボテンシャル分布、(38)は分割電極下のボテンシャル、(40)は転送電極(26)(27)下のボテンシャルを各々示す。第3回(d)は分割電極(24)(25)に加えるペルス⁶、転送電極(26)(27)(32)に加える転送ペルスも、向じく転送電極(28)(29)(33)に加える転送ペルスもとのタイミング図であり、図の時間t₁に形成されるボテンシャル分布図が第3回(b)に相当する。即ち第3回(b)においてアナログ信号電荷(39)は全て蓄積領域に保持されている。次に時間t₁に並せて分割電極に高電圧が印加され、第3回(d)に示すように分割電極下のボテンシャルが下降し、信号電荷は分割電極(24), (25)下に流れ込む。t₁～t₂が再び高電圧へ下降する過渡状態であり第3回(d)に示すように分割電極(24)と(25)の電位差に相当する電荷束(41)を残して、

特開昭57-105893(3)
る。本発明の第1の実施例にかけては2層ポリシリコンを用いた複数の重ね合わせ電極(この場合は7電極)の各々に、分割抵抗(30)により抵抗分割された異なる電圧を印加し、(17)(18)(19)(20)(21)(22)(23)の順に低電圧から徐々に上昇した電圧が印加され、対向する蓄積領域のチャネルに蓄積状のボテンシャルを形成し、従来例と同様に入力障壁電極を通して、蓄積領域に注入されたアナログ信号電荷は、前記障壁電極(23)下のチャネルから蓄積が行われる。次に第3回(a)に第2回のX-X'切断断面構造を示し動作原理を説明する。尚、第2回と同一箇所は同一符号を付して説明する。(34)は本実施例ではP形半導体基板、(35)はP形底込みチャネル(36)はCCD(Charge Coupled Device)を2相駆動するのに必要なボテンシャルの方向性を与えるためのP形底溝、純物層、(32)(33)は量子化された電荷を(29)から受けて画面の左方へ転送するための転送電極を示す。第1の実施例では信号電荷の蓄積、量子化、転送は全て底込みチャネル(35)内で行われ

ボテンシャルの上昇と共に各び蓄積領域へ逆流を起こす。この時分割電極(25)下に残された電荷束(41)が量子化された単位電荷となる。t=t₂では量子化された第1番目の電荷束が2相駆動の両方転送レジスタへ移され、転送を開始する。同様の動作をくり返して量子化が行われ、量子化動作が進むに従って蓄積領域に保持される信号電荷は減少してゆく。本発明においては蓄積領域内のボテンシャル分布(37)が蓄積状に形成されているため、電荷の減少に伴って、その重心が分割電極(24), (25)間に移動してゆく。たとえば最後の量子化電荷は分割電極(24)と溝渡した蓄積電極(23)の下にだけ居在し、従って、(f)に示すように分割電極下のボテンシャルが下降すると解説に分割電極下へ移動し、高速の量子化が可能になる。これが本発明の大きな特徴である。第3回(f)は最後(「0番目」)の量子化單位電荷であり、(43)は(=−1)番目の量子化電荷束を示す。このようにして、アナログ信号電荷量が減少しても、安定した高速の量子化回路が実現できる。なお、高連続性をより効果的に実現するため

に、不発明の第1の実施例においては、第2回に成るで示した蓄積領域(チャネル領域)(44)が図のように分割電極(24), (25)万方向へ向って細められており実効的なチャネル長をできるだけ小さくしておき、蓄積電極(21)～(23)下の信号電荷密度が増しより高選択性を増す。

また、第2回に示すように蓄積電板(17)～(23)のそれぞれが分割電極(24), (25)万方向への長さが短くなっています。この事によって前述同様に分割電極(24), (25)万方向へ向かって蓄積電板下の信号電荷密度が増し、より安定した高速動作が可能である。

次に不発明の第2の実施例を図面を参照して詳細に説明する。

第4回(a)に不発明の第2の実施例の断面構造図を示す。尚、以下第2回及び第3回と同一箇所には同一符号を付して説明する。半導体基板(34)に絶縁膜を介して蓄積電極(45)～(51)が設けられており、板込みチャネル部(35)が蓄積電極(45)～(47)の下に存在しない。ところが、第1の実施例と異なり、この領域が複数チャネルとなっている。即ち、第2

特開昭57-105893(4)

の実施例においては、蓄積領域のチャネルボテンシャルを層状に形成するにあたり、同一電圧電圧に対して堆み込みチャネルと表面チャネルでは形成されるボテンシャルが異なり、前者がより深いという現象を利用していいる。このことにより、各蓄積電板へ印加すべき電圧の数を減少させることができ、回路の小形化が可能となる。(53)は分離の成るした分割抵抗素子の垂直回路である。このようにして第4回(b)に示す第1の実施例と同様なボテンシャル分布を実現することができる。(55)は電荷がないときのボテンシャル分布、(56)はアノード信号電荷を各々示す。

第5回は本発明の第3の実施例の断面構造図であり、(61)～(67)は蓄積電板であり、この場合偶数番目の電極下のU形堆み込みチャネル内に低電圧p-型不純物がイオン注入されており、蓄積電板(62)と(63), (64)と(65), (66)と(67)に同一電圧が印加されても、階段状ボテンシャルが形成される。つまり、2相CCD構造と同一構造が形成され、従って、実効的電極数は1/2になる。(56)(57)(58)が前記p-層

不純物注入領域である。従って、分割抵抗素子(59)は非常に小さくなり、チャップ上で他の配線も半減することができより微細技術に適している。なお、不発明を実施するに当たっては、以上の構造の點にも種々考慮される。即ち、蓄積領域のチャネルボテンシャルを階段状に形成できる手段であれば良い。又、実施例では、全て信号電荷として電子を考えて説明したが、当然のことながら正孔であっても良いし、転送手段は、CCD, BBD(Bucket Brigade Device)等種々考えられる。又、量子化された時系列出力は周知の手段で時系列電圧信号として外部に取り出しても良いが、カウンター回路と組合せて、2進、8進、16進等のディジタル出力として取り出すことも出来る。

尚、上記実施例においては蓄積チャネルボテンシャルを階段状に形成したが、量子化されるべきアナログ信号をそのまま保持し蓄積するための蓄積領域のチャネルボテンシャルを信号電荷入力部から分割部に向かって下降する傾斜を有するように形成することも可能である。この場合の第4の実施

例の断面構造図を第6回(a), 第7回, 第8回(a)に示し、ボテンシャル分布図を第6回(b), 第8回(b)に示す。

また、チャネルボテンシャルを上記実施例を組合わせることにより階段・傾斜状にすることも可能である。

以上のように、本発明によれば、並行蓄積部の蓄積信号電荷が、電荷入力部から左右分割部に近づいた領域へ向う万方向に常時移動するようチャネル位が形成されているため、大きな信号電荷量に対しても高速かつ高性能な電荷結合形電子回路を提供できる。

4. 図面の簡単な説明

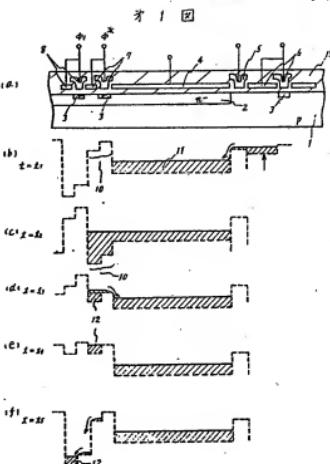
第1回(a)は、従来の電荷結合形量子化回路の断面構造、第1回(b)～(f)は、従来の電荷結合形量子化回路の動作原理を説明するためのボテンシャル分布図、第1回(g)は第1回(b)～(f)のボテンシャル分布を説明するためのタイミングペルスを示す図、第2回は、本発明の第1の実施例を説明するための電荷結合形量子化回路の平面構成図、第3

特開昭57-105893(5)

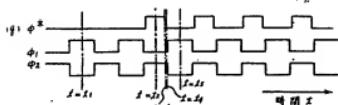
図(a)は、第2回のX-X線で切断した断面構造図、
第3回回-(b)は不発明の第1の実施例の動作原理
を説明するためのボテンショナル分布図、第3回(b)
は、不発明の第1の実施例におけるタイミング、
ペルスを示す図、第4回(a)は本発明の第2の実施
例を示す断面構造図、第4回(b)は第4回(a)のボ
テンショナル分布図、第5回は本発明の第3の実施例
(a)を示す断面構造図、第6回(a)、第7回、第8回は
不発明の第4の実施例を示す断面構造図、第6回
(b)、第8回(b)は第6回(a)、第7回、第8回(a)のボ
テンショナル分布図である。図に付いて、

- 16…入力電極電板、 17~23…電荷蓄積電板、
24,25…分割電極、 26~29,32,33…配送電板、
34…D形半導体基板、 35…D形選択チャネル部、
36…P形選択部不純物層、
37…蓄積部のチャネルボテンショナル、
38…分割電極下のボテンショナル、 39…アロイ化信号電極、
40…信号電極下のボテンショナル、 41…量子化単位電極。

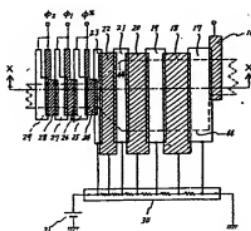
(7317) 代理人 井端士 岩近重佑 (登記1名)



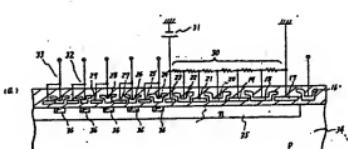
第1図



第2図

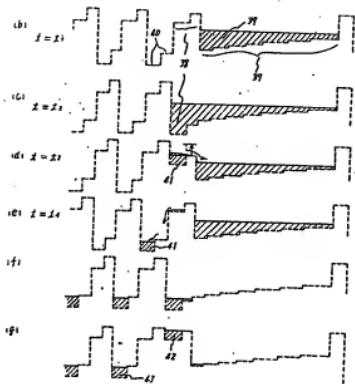


第3図

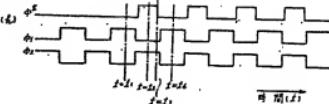


特開昭57-105893 (6)

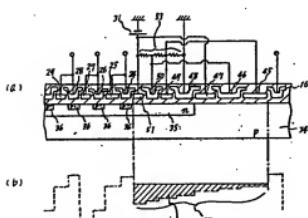
第3図



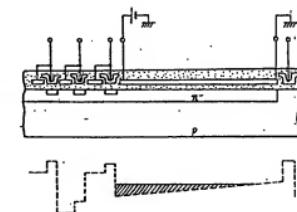
第3図



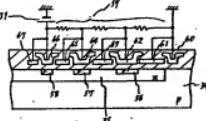
第4図



第6図

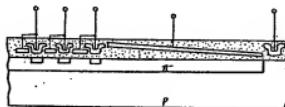


第5図



特開昭57-105893(7)

考 7 図



考 8 図

